

(19)



JAPANESE PATENT OFFICE

for
09/23502

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03160377 A**(43) Date of publication of application: **10.07.91**

(51) Int. Cl.

G01R 31/26
H01L 21/66

(21) Application number: **01299319**(71) Applicant: **NEC CORP**(22) Date of filing: **17.11.89**(72) Inventor: **MORI SUSUMU**

(54) **SEMICONDUCTOR INTEGRATED CIRCUIT AND
TESTING PACKAGE BODY THEREOF**

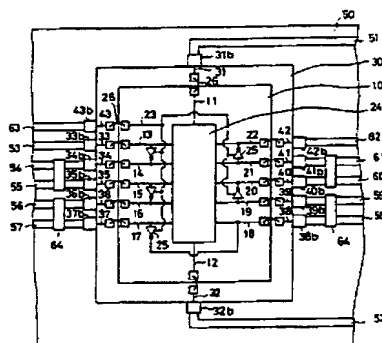
enabling the checking of a connection state with a very
limited time.

(57) Abstract:

COPYRIGHT: (C)1991,JPO&Japio

PURPOSE: To facilitate the checking of propriety at a connection point by arranging a semiconductor integrated circuit which has a plurality of logic inversion elements and a power source circuit for supplying power to the elements, provided that the number of the logic inversion elements connected to wires is one at most.

CONSTITUTION: A power source is connected to a power source printed wire 63 for logic inversion elements without being connected to a power source printed wire. As a result, a logic inversion element 25 is in operation and a body circuit 24 is not in operation. Under such a condition, a short-circuiting is caused with a short-circuiting bar 64 between signal printed wires 54 and 55, 56 and 57, 58 and 59, 60 and 61 and 62 and 53. Under such a condition, a series connection circuit of the element 25 performs a ring oscillation action, which is detected to allow the checking to see if pins 32b-42b are connected to the wires 52-62 normally. When a connection point is opened, no ring oscillation action is given, thereby



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-160377

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月10日

G 01 R 31/26
H 01 L 21/66G 8203-2G
Z 7013-5F

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体集積回路およびその実装体の試験方法

⑮ 特 願 平1-299319

⑯ 出 願 平1(1989)11月17日

⑰ 発 明 者 茂 利 進 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 尾身 祐助

明 細 書

1. 発明の名称

半導体集積回路およびその実装体の試験方法

2. 特許請求の範囲

(1) 所定の機能を有する本体回路と、前記本体回路に接続された複数の配線と、該複数の配線のうちのいずれか二つの配線間を接続する複数の論理反転素子と、該複数の論理反転素子に対して給電を行う論理反転素子用電源回路とを備えた半導体集積回路であって、各配線に接続された論理反転素子は多くとも1個であることを特徴とする半導体集積回路。

(2) 論理反転素子用電源回路により前記複数の論理反転素子に給電し、複数の論理反転素子を直列に接続してリング・オシレータを構成する請求項1記載の半導体集積回路の実装体の試験方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、特に、実装後の半田付けの良否判定を容易になしうようになされた半導体集積回路およびその実装体の試験方法に関する。

〔従来の技術〕

従来の半導体集積回路の概略平面図を第3図に示す。同図に示されるように、半導体集積回路チップ10には、所定の機能を有する本体回路24が形成されており、該本体回路24へは電源配線11、接地配線12、信号配線13～22が接続されている。これらの各配線はチップ周辺部において、ボンディングパッド11a～22aと接続されている。

半導体集積回路チップ10はパッケージ30内に収容されている。31～42はリードフレームのリードであって、31は電源リード、32は接地リード、33～42は信号リードである。これらの各リードの内側先端部分は内部端子31a～42aとなされ、また、その外側先端部分は、外

部との接続のための電源ピン31b、接地ピン32bおよび信号ピン33b～42bとなされている。半導体集積回路チップ上のボンディングパッド11a～22aとリードフレームに設けられた内部端子31a～42aとはそれぞれボンディングワイヤ26によって接続されている。

第4図は、従来の半導体集積回路の実装状態を示す平面図であって、実装は、半導体集積回路をプリント基板50上に搭載し、プリント基板上のプリント配線51～62と半導体集積回路のピン31b～42bとを半田付けすることにより行われる。

〔発明が解決しようとする課題〕

上述した従来の半導体集積回路は、所望の回路機能を呈するに必要な回路のみにより構成されているので、この半導体集積回路をプリント基板上に実装した後、実装点の良否（例えば、半導体集積回路の外部接続用ピンとプリント基板上のプリント配線との半田付け箇所の開放の有無）を確認する場合、少なくとも上述の半導体集積回路の入

この半導体集積回路の実装体の実装状態を試験するには、論理反転素子用電源回路によって論理反転素子に電力を供給するとともに試験用治具等の使用により、論理反転素子を直列に接続してリング・オッシレータを構成し、発振の有無を検出する。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は、本発明の一実施例を示す平面図である。同図において、第3図の従来例と同等の部分には同一の参照番号が付けられているので、重複した説明は省略する。本実施例においては、チップ10上の信号配線13～22に対して、二つの配線毎に論理反転素子25が接続されている。この論理反転素子への給電は、本体回路への電源配線11とは異なる論理反転素子用電源配線23によってなされる。この電源配線はボンディングワイヤ26、論理反転素子用電源リード43を介して電源ピン43bと接続されている。

特開平3-160377 (2)

力端子に全ての出力端子の電位を変化させる信号を与え入力端子群に対応した出力端子群の信号の変化を調べる必要がある。

しかも、通常一つのプリント基板には、複数の半導体集積回路を含む多くの部品が搭載・接続されているので、この中の一つの半導体集積回路の上記実装点の良否確認を行うためには、ほとんどプリント基板全体に対する機能テスト用信号を印加し、試験を行う必要がある。

このため、従来の実装点の良否判定方法では、最近の半導体集積回路の多ピン化や回路全体の大規模化・複合化により、極めて複雑で大規模な試験を行わなければならないようになってきている。

〔課題を解決するための手段〕

本発明の半導体集積回路は、所定の機能を有する本体回路と、該本体回路に接続された複数の配線と、該複数の配線の接地配線を除くいずれか2つの配線毎に接続された論理反転素子と、該論理反転素子に対して給電するための論理反転素子用電源回路とを有している。

第2図は、第1図の実施例のプリント基板への実装状態を示す概略平面図である。同図に示されるように、半導体集積回路の電源ピン31b、43bは、プリント基板50上の電源プリント配線51、63と接続され、同様に、接地ピン32bは接地プリント配線52と、信号ピン33b～42bは、信号プリント配線53～62と接続されている。

次に、本実施例半導体集積回路をプリント基板上に実装したときの試験方法について説明する。

第2図において電源プリント配線51には電源を接続することなく、論理反転素子用の電源プリント配線63には電源を接続する。このことにより、論理反転素子25は動作状態となるが、本体回路24は非動作状態におかれる。この状態において、第2図に示すように、信号プリント配線54、55間、56、57間、58、59間および60、61間を治工具等により短絡バー64を使用して短絡させ、かつ、図示されていないが信号プリント配線62、53間も同様に治工具等によ

特開平3-160377 (3)

り一時的に短絡させる。このような状態においては、論理反転素子25の直列接続回路はリング・オシレーション動作を行なう。これを検知することにより各ピン32b～42bがプリント配線52～62と正常に接続されていることを確認することが可能となる。これに対し、接続点のうちいずれか1箇所あるいは複数箇所が開放している場合、論理反転素子25の直列接続回路が形成されず、リング・オシレーション動作も示されない。よって、全ての接続点が正常に接続されている場合と明確に区別することができる。この方法によれば、多数の信号ピンについて、半導体集積回路の外部リードとそれに対応したプリント基板上の配線パターンとの接続状態をわずかな時間で確認することが可能となる。

第2図においては、半導体集積回路内部の論理反転素子が奇数の場合について示したが、偶数の場合においても、プリント基板上のプリント配線どうしを治工具等により一時的に接続する際に、その接続箇所中のいずれか1箇所について、論理

反転素子を經由して接続することにより、全体として奇数の論理反転素子による直列回路を形成することができリング・オシレーション動作を行わせることができる。

上記実施例では、半導体集積回路毎に試験を行うものであったが、治工具等により複数個の集積回路に関して論理反転素子の一つの直列接続回路を形成するようにすれば、より効率的に試験を行うことができる。また、実施例では、電源配線11に対しては論理反転素子を接続しなかったが、電源配線11と信号配線のいずれかとの間に論理反転素子を接続するようにすれば、電源ピン31bの接続状態についても試験を実施することができる。

なお、通常の回路動作を行わせる場合は、電源ピン43bに電源電圧が印加されることはないので、論理反転素子は動作せず、この素子が本体回路の通常動作に影響を及ぼすことはない。

〔発明の効果〕

以上説明したように、本発明の半導体集積回路

は、所望の機能を有する本体回路にリング・オシレータを構成するための論理反転回路とこの回路の動作を制御するための電源供給回路とを付加したものである。本発明によれば、本体回路にわずかなテスト用回路を付加するのみで、半導体集積回路の外部リードとそれが実装されたプリント基板上のプリント配線との接続点の良否を極めて容易に確認できる。

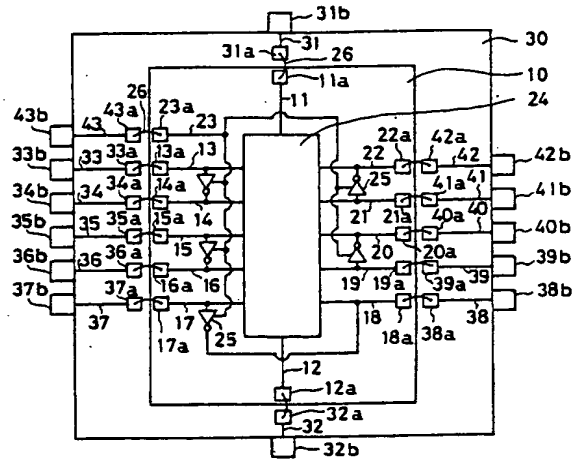
4. 図面の簡単な説明

第1図は本発明の一実施例を示す概略平面図、第2図はこの実施例の実装状態を示す平面図、第3図は従来例を示す概略平面図、第4図はこの従来例の実装状態を示す平面図である。

10…半導体集積回路チップ、11…電源配線、12…接地配線、13～22…信号配線、23…論理反転素子用電源配線、11a～23a…ボンディングパッド、24…本体回路、25…論理反転素子、26…ボンディングワイヤ、30…パッケージ、

31…電源リード、32…接地リード、33～42…信号リード、43…論理反転素子用電源リード、31a～43a…内部端子、31b、43b…電源ピン、32b…接地ピン、33b～42b…信号ピン、50…プリント基板、51、63…電源プリント配線、52…接地プリント配線、53～62…信号プリント配線、64…短絡バー。

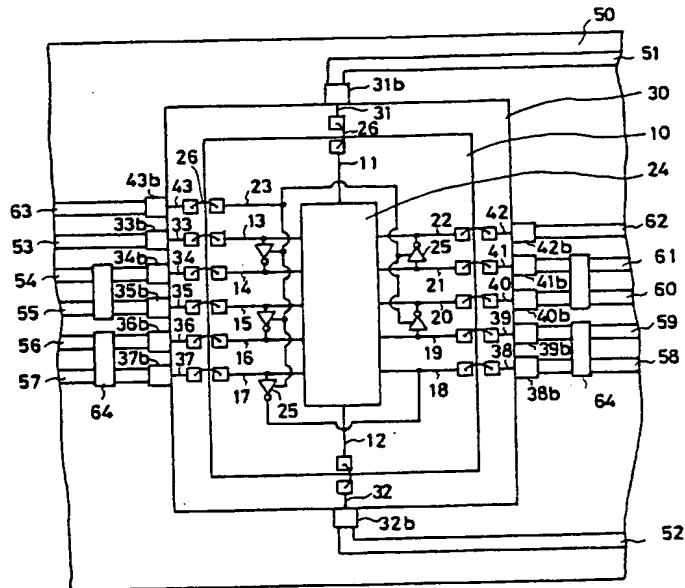
代理人 弁理士 尾身祐助



第 1 図

10…半導体基回路チップ
11…電源配線
12…接地配線
13~22…信号配線
23…論理反転素子用電源配線
11a~23a…ボンディングパッド
24…本体回路
25…反転論理素子
26…ボンディングワイヤ

30…パッケージ
31…電源リード
32…接地リード
33~42…信号リード
43…論理反転素子用電源リード
31a~43a…内部端子
31b, 43b…電源ピン
32b…接地ピン
33b~42b…信号ピン

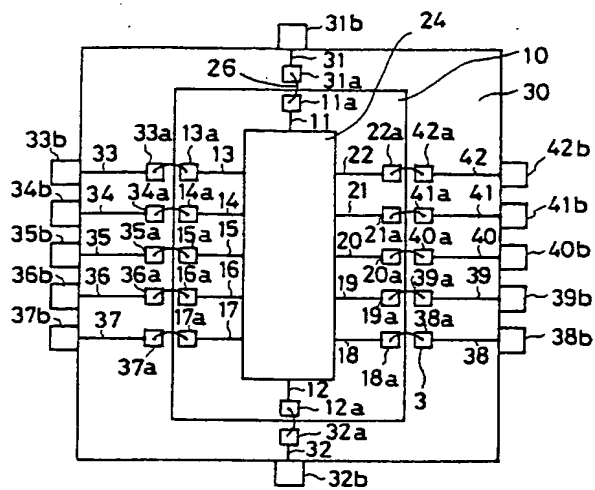


第 2 図

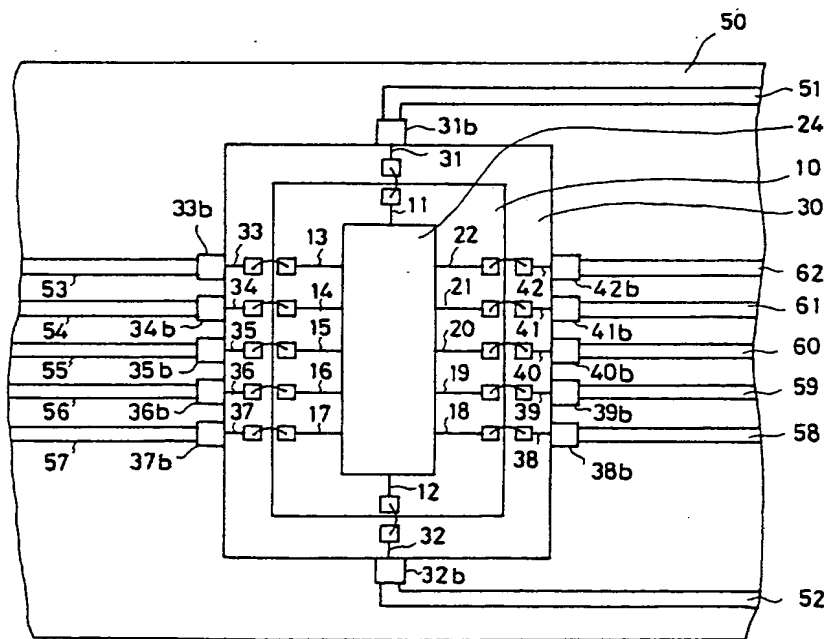
50…プリント基板
51, 63…電源プリント配線
52…接地プリント配線
53~62…信号プリント配線
64…短絡バー

(5)

特開平3-160377 (5)



第 3 図



第 4 図